

技 术 报 告

T/CASAS/TR 003—2022

分立 GaN HEMT 功率器件动态电阻评估

Dynamic on-state resistance evaluation of discrete GaN HEMT power
devices

版本：V01.00

2022-12-09 发布

第三代半导体产业技术创新战略联盟 发布

目 次

前言	III
引言	V
1 背景	1
1.1 器件简介	1
1.2 产生机理	2
1.2.1 缓冲层影响动态电阻的机理	2
1.2.2 表面钝化影响动态电阻的机理	4
1.3 影响因素	5
1.3.1 开关状态：硬开关与软开关（包括器件工作在第一以及第三象限）	5
1.3.2 电压与电流	7
1.3.3 栅电阻	7
1.3.4 频率与占空比	8
1.3.5 栅极电压	8
1.3.6 温度	9
1.3.7 衬底偏置对动态电阻的影响	11
2 测试电路	12
2.1 测试电路拓扑	12
2.1.1 硬开关测试电路	12
2.1.2 软开关测试电路	16
2.2 钳位电路	17
3 结束语	18
参考文献	19

前 言

本文件由第三代半导体产业技术创新战略联盟（CASA）制定发布，版权归 CASA 所有，未经 CASA 许可不得随意复制；其他机构采用本文件的技术内容制定标准需经 CASA 允许；任何单位或个人引用本文件的内容需指明本文件的标准号。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件起草单位：东南大学、浙江大学、南方科技大学、西安电子科技大学、大连理工大学、英诺赛科（珠海）科技有限公司、西交利物浦大学、工业和信息化部电子第五研究所、无锡芯朋微电子股份有限公司、江苏能华微电子科技发展有限公司、深圳智芯电子科技有限公司、北京第三代半导体产业技术创新战略联盟。

本文件起草人：李胜、董泽政、汪青、李祥东、黄火林、银杉、刘雯、贺致远、王钦、宋亮、王祥、高伟。

引 言

作为第三代半导体器件的重要代表，氮化镓（GaN）功率器件凭借优异的材料性能，在高频、高效、高功率密度的电力电子变换领域（如数据中心、新能源汽车、分布式支电、各类消费电子等）具有十分广阔的应用前景和市场机遇。然而，受器件表面陷阱及缓冲层陷阱的影响，目前主流的 GaN 器件仍然面临着高压开关过程中的动态电阻退化问题，这为基于 GaN 器件的电力电子变换器设计和损耗估算带来了不确定性。

本报告梳理了 GaN HEMT 动态电阻上升的产生机理，分析了相关影响因素；汇总了动态电阻测试电路；希望通过本报告的编写，器件制造商和器件应用工程师可对动态电阻的机理及测试有更加深入的了解，并能在此基础上结合产业应用进展进一步讨论，发掘出更多更详尽、完善的技术解决方案，形成更多的产业共识，从而帮助正确评估动态电阻引起的系统性能和可靠性问题。

分立 GaN HEMT 功率器件动态电阻评估

得益于在快充领域的成功应用，氮化镓(GaN)功率半导体器件迎来了黄金发展时代。然而，GaN 功率半导体器件发展历程较短，仍然存在一些可靠性问题，阻碍了其推广应用。动态电阻已成为衡量 GaN 功率器件可靠性的重要参数之一。

1 背景

1.1 GaN HEMT 器件简介

目前商用分立功率 GaN HEMT 器件主要为增强型 p-GaN 栅 HEMT 器件和增强型级联 GaN HEMT 器件。P-GaN 栅金属的接触方式有欧姆接触和肖特基接触两种，剖面结构示意图如图 1 所示^{[1][2]}。典型厂商有 Infineon、GaNsystem、EPC、Innoscence 等。级联 GaN HEMT 器件通过低压 MOSFET 和耗尽型 GaN HEMT 器件级联形成，结构示意图如图 2 所示^[3]，代表厂商有 Transphorm, Nexperia 等。

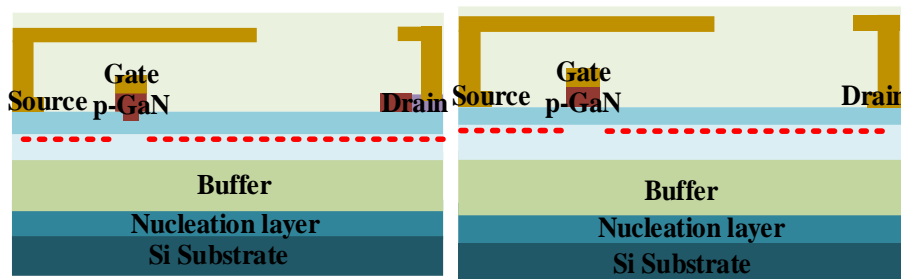


图1 (a) 欧姆栅接触 p-GaN 栅 HEMT 器件 (b) 肖特基栅接触 p-GaN 栅 HEMT 器件

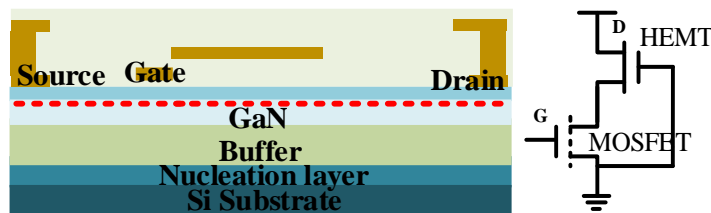
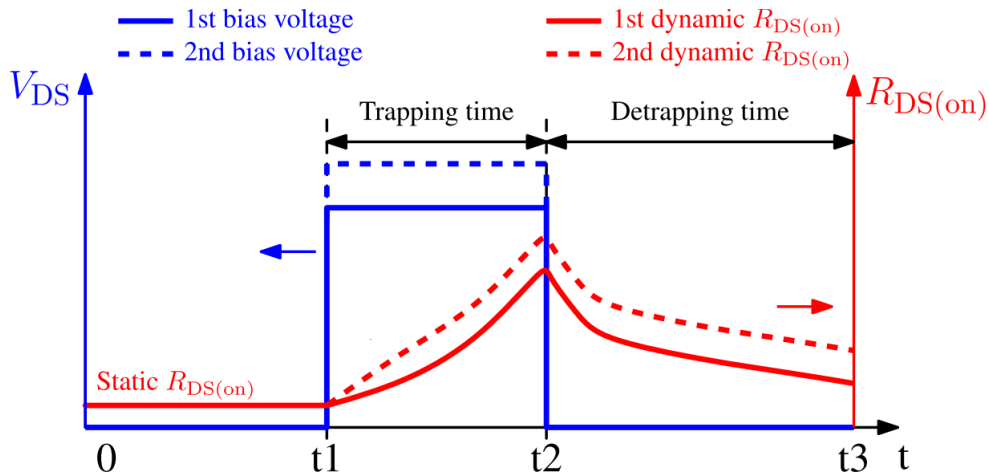


图2 增强型级联 GaN HEMT 器件结构示意图

对于目前商用 GaN 功率器件而言，在硬开关过程中，器件承受较高的关态漏源电压 V_{DS} 应力，所引起的电子俘获等效应使得器件的导通电阻动态变化，且在应力撤销后器件的导通电阻不能及时恢复，这种现象即为 GaN HEMT 器件的动态电阻，如图 3 所示。

图3 关态高源漏电压导致动态电阻上升^[3]

1.2 动态电阻产生机理

目前主流的商用分立 GaN HEMT 是基于硅衬底制备，在异质外延过程中不可避免会产生一些陷阱 (Trap)，同时，GaN HEMT 中 AlGaIn 势垒层的位错、表面悬挂的不饱和键以及制作过程中的等离子体溅射和退火等因素，导致 AlGaIn 势垒层的表面存在一定浓度的施主类陷阱。这些陷阱是诱导动态电阻上升的主要原因。

1.2.1 缓冲层导致动态电阻的机理

在衬底上生长 GaN 时界面处会产生大量位错以及 GaN 材料本身会具有一些杂质，非故意掺杂的 GaN 材料一般呈 n 型。为了抑制 buffer 漏电，常在 GaN 缓冲层中掺碳 (C)、铁 (Fe) 等杂质，形成深能级陷阱，俘获自由电子，减少载流子浓度。GaN 功率器件在硬开关过程中，沟道中的电子会在栅漏间强电场作用下注入 GaN 缓冲层，并被缓冲层中的深能级陷阱捕获。GaN 缓冲层深能级陷阱俘获和释放电子的过程较慢，会导致开关切换后器件沟道中二维电子气 (2DEG) 浓度低于静态时的浓度，表现为动态电阻增加。如图 4 所示，在渐变 Al 组分、低温 AlN 插入层以及超晶格三种 buffer 结构中，超晶格被广泛认为是 trapping 效应最小的 buffer 结构^[5]。GaN buffer 的层结构陷阱态极其复杂，buffer 漏电和 trapping 效应是内部多个异质结以及多种陷阱态联合作用的结果。最为广泛接受的 buffer 陷阱态如图 5 所示，主要包含施主缺陷和受主缺陷两种^[6]。图 6 中的衬底偏置测试可以清楚的观测到 HEMT 的电流存在上升和下降两种行为^{[7][8]}。除了 trapping 效应，沟道/C:GaN 异质结处的空穴堆积对器件性能同样可以造成影响。如图 7 所示，通过特别的 buffer 层结构设计，我们不仅可以完全抑制 buffer 对沟道电流的耗尽，甚至可以得到具有负动态电阻特性的 HEMT 器件^[8]。

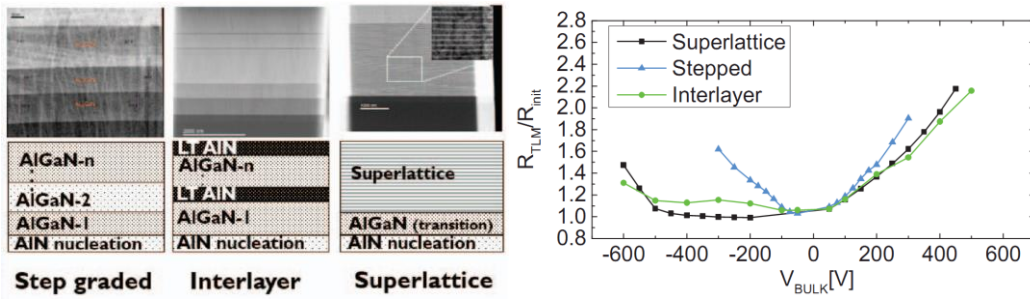


图4 三种不同缓冲层结构对 TLM 电流动态电阻的影响（超晶格结构表现出了最佳的动态电阻稳定性）

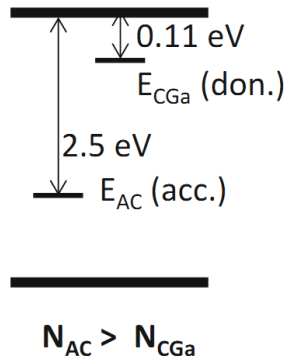


图5 GaN 缓冲层中主要的两种缺陷能级（ E_{CGa} 施主能级、 E_{AC} 受主能级）

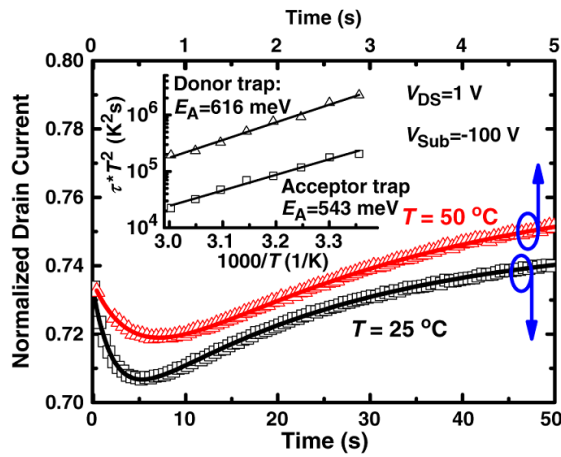


图6 GaN HEMT 结构的衬偏效应测试观测的两种电流变化趋势（对应于两类缺陷作用）

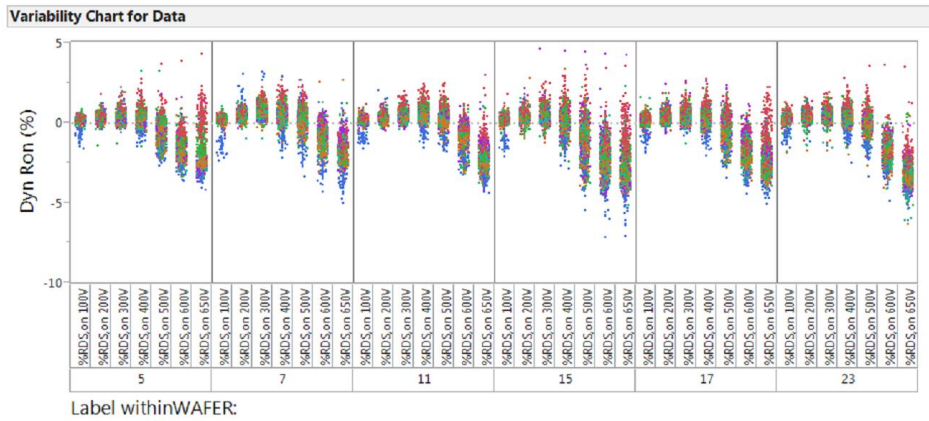


图7 负动态电阻的 HEMT 器件 GaN 缓冲层特殊设计结构

1.2.2 表面钝化导致动态电阻的机理

表面钝化是 GaN HEMT 器件制备过程中的一项关键工艺。选择合适的表面钝化工艺可有效减少 GaN HEMT 势垒表面的陷阱密度，调制电场分布，抑制器件电流崩塌效应，降低动态电阻，减少后续装配和封装工艺中表面可能遭受的化学沾污或机械损伤，提高器件的稳定性和可靠性。

未经表面钝化的 GaN HEMT 器件，工作过程中沟道自由电子易被栅-漏区域中的势垒表面位错、表面悬挂键等深能级缺陷俘获。俘获电子的陷阱数量随着栅到漏的间距 (LGD) 增加而增加，导致器件开启时 2DEG 浓度下降，引起电流崩塌现象，动态电阻上升^[8]，如式(1)所示：

$$R_{ONcollapse} = \frac{R_{GS} + R_{channel} + \rho_{trapped} \times LGD}{R_{GS} + R_{channel} + \rho_{untrapped} \times LGD} \dots\dots\dots (1)$$

GaN HEMT 器件在不同工作条件下，势垒表面缺陷俘获电子的机理不同。器件在关断状态时，栅漏间具有较高的反向电应力，电子从栅极隧穿至栅漏之间的势垒表面，以 Poole-Frenke 方式传导并被表面陷阱所俘获，形成“虚栅”^[10]，降低沟道二维电子气浓度。器件开启过程中，如图 8 所示，部分沟道电子被强电场加速成为高能热电子，溢出势阱，被表面施主类陷阱或者缓冲层陷阱所俘获，使沟道 2DEG 浓度下降，动态电阻上升^[11]。

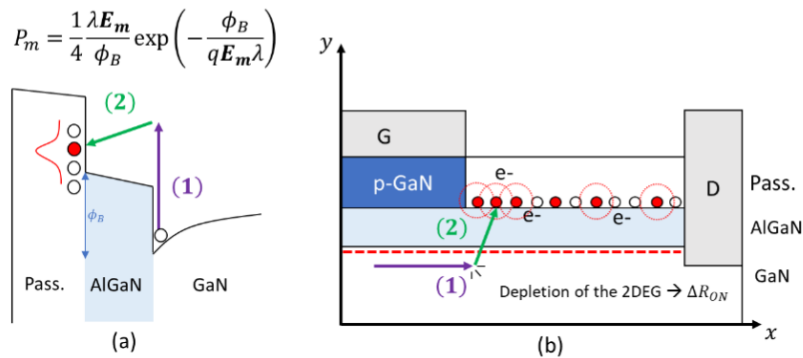


图8 沟道热电子注入导致动态电阻的机理^[10]

由于钝化层均为极化材料 (如图 9)，在 HEMT 器件实际使用过程中的热电子陷阱效应与逆压电效

应导致的 TDDB (Time-Dependent Dielectric Breakdown)会使钝化层产生永久缺陷,导致器件漏电流和动态电阻增大。

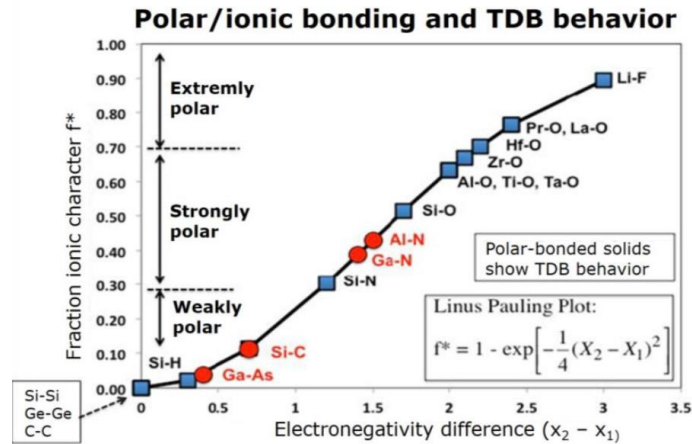


图9 不同共价键极性强度对比^[12]

为了抑制动态电阻增加,研究机构与产业界针对不同的钝化工艺做了大量研究。用的钝化层材料包括 SiN_x ^[13]、原位 SiN_x ^[14]、 SiO_2 、 Al_2O_3 ^[15]和 HfO_2 ^[16]等氮化物与氧化物。其中,氮自由基可抑制 GaN 基材料表面的氮空位相关缺陷形成, Si 原子能降低 AlGaIn 表面的深能级缺陷密度,有效降低动态电阻,使得 SiN_x 成为 GaN HEMT 中最广泛应用的钝化层材料。MOCVD 原位生长 SiN_x 钝化层的工艺温度高,且能有效避免后续工艺污染造成的界面缺陷,从而使得制备的 SiN_x/GaN 界面陷阱密度最低,降低动态电阻效果最好。除此之外,一些新型钝化层材料,如 SiON ,能够同时具备氧化物与氮化物钝化层的优点,所制备的 GaN HEMT 器件同时具有较低的漏电与动态电阻^[17],具备较好的应用前景。此外,在钝化层沉积前,利用 O_3 , NH_3 和 N_2O 气体等对势垒层表面进行预处理,也能降低表面陷阱数量,有效降低热电子对器件动态电阻的影响。

1.3 影响因素

根据以上讨论,动态电阻上升是由载流子被 GaN HEMT 中的缺陷俘获所导致。因此,缺陷的数量以及寿命的长短,直接决定了动态电阻的稳定性,与载流子浓度、缺陷电荷在器件中所处的位置、能级以及温度等因素相关。在实际的电路应用中,需要将缺陷的影响因素转换为实际的开关状态以及各类电路参数,从而更为直观的理解其对动态特性的影响。

1.3.1 开关状态:硬开关与软开关(包括器件工作在第一以及第三象限)

开关状态与器件工作的象限相关。如硬开关可以细分为第一象限的硬开通,以及第三象限的硬关断;软开关可以细分为第一象限的零电压开通、第三象限的零电流关断等等。

图 10 为四种不同开关模态下的工作波形原理图。图 10(a)为第一象限硬开通,器件开通(t_0)之前,承受高压应力,栅极信号开始上升后,其漏源电压开始下降,同时电流迅速上升,之后器件正常工作在第一象限。如工作在连续电流模式下的升压功率因素校正电路(Boost PFC),器件大部分时间处于该模态。图 10(b)为第三象限硬关断的波形,在 t_1 时刻,其栅极信号下降,由于沟道中有反向电流持续流过,此时器件工作在反向导通状态,直到 t_2 时刻,其互补管开通强制换流,DS 两端电压迅速上升至母线电

压，开关管被强行关断。在逆变电路中该模态较为常见。图 10(c)为第一象限零电压开通的波形，在器件开通前的死区时间内，其两端电压通过谐振方式降低为零，而后栅极信号上升，正常工作在第一象限。该模态常见于各种谐振变换电路。图 10(d)为第三象限零电流关断的波形， t_1 时刻，流过沟道的电流过零，随后开关管关断，在死区时间内，其两端电压谐振上升至母线电压。例如采用临界电流模式（Critical Mode）的图腾柱功率因素校正电路（Totem-pole Power Factor Correction）中存在该种模态。

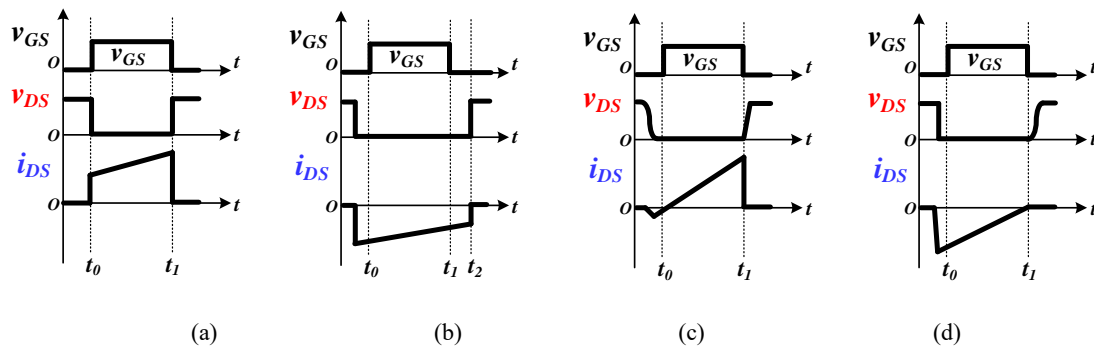


图10 与象限结合的硬开关、软开关波形原理图：（a）第一象限硬开通，（b）第三象限硬关断，（c）第一象限零电压开通，（d）第三象限零电流关断

综上，软开关的主要实现方式可分为第一象限的零电压开通(Zero Voltage Switching on, ZVS on)和第三象限的零电流关断(Zero Current Switching off, ZCS off)。ZVS on 主要利用开通过程中电流滞后于电压相位，消除开通损耗。ZCS off 与之相反，利用关断过程中电流超前与电压相位，消除关断损耗。下面结合实际的开关状态和器件工作机理进行简单的分析。

器件工作在在第一象限硬开通与第一象限零电压开通模式下的开关波形和轨迹图分别如图 11、图 12 所示^[18]。可看出在第一象限硬开通中，当器件处于开通瞬态时，漏源电压 V_{DS} 下降的同时，漏极电流 i_D 开始上升；当器件处于关断瞬态时， V_{DS} 上升的同时， i_D 开始下降。因此，器件内同时存在高电场与高载流子浓度，导致了热电子注入效应。在第一象限零电压开通中，当器件处于开通瞬态时，由于 i_D 相位滞后于 V_{DS} ，当器件漏极呈现高压状态时，载流子浓度几乎为零，而当载流子浓度增大时， V_{DS} 已经降为零。当器件处于关断瞬态时，与硬关断过程类似。由此可总结，对于第一象限硬开通，在开通和关断过程均存在热电子注入效应；而对于软开关，仅在关断过程存在热电子注入效应。类似的分析同样可以应用于第三象限的工作模态。

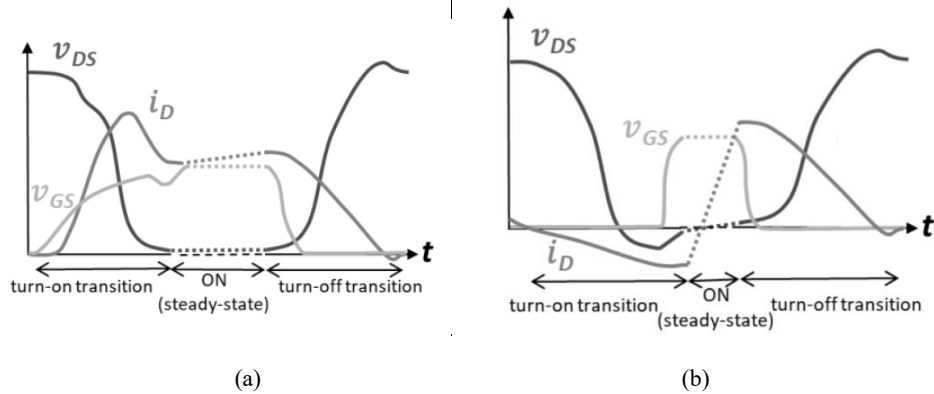


图11 开关波形图：(a)硬开关，(b)软开关

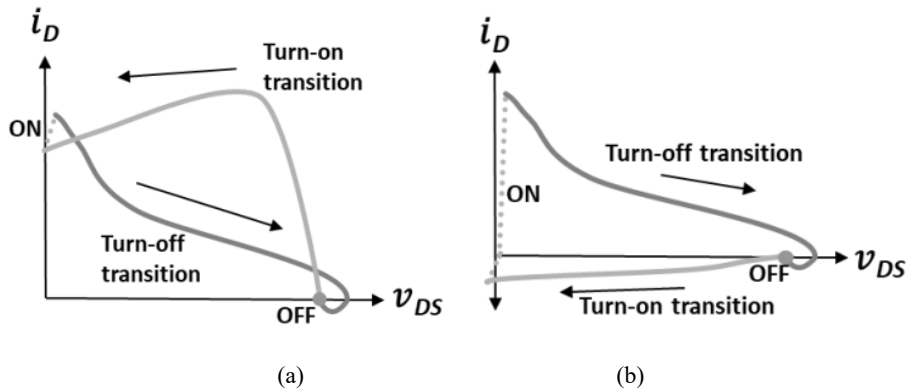


图12 开关轨迹图：(a)硬开关，(b)软开关

1.3.2 电压与电流

电压单独作用时，主要针对器件处于稳态关断状态下，漏极高电场作用导致的缓冲层陷阱以及衬底电荷存储。当电压与电流共同作用于器件时，器件工作需在开关状态，因此热电子注入效应成为动态电阻上升的主要因素。具体影响机理可参考上一节开关状态的影响介绍。

1.3.3 栅电阻

栅电阻对动态电阻的影响主要源于开关瞬态电压与电流的交叠，其机理类似于开关损耗。如图 13 所示，随着开通或者关断电阻的增加，动态电阻均随之增加。其原因可通过开关瞬态的波形得出，如图 所示^[19]。当器件处于开通瞬态，栅电阻越大，电压与电流交叠的区域越大，因此热电子注入效应增强。当器件处于关态瞬态，动态电阻随关断栅电阻增大的机理与开通过程类似，也主要由热电子注入效应导致。

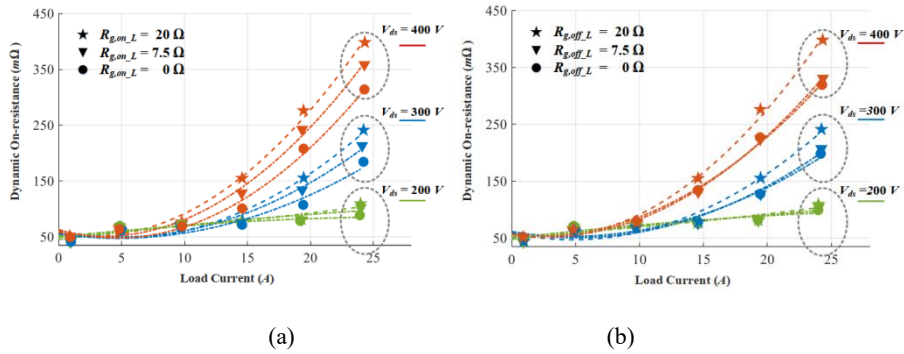


图13 栅电阻对动态电阻的影响：(a) 开通栅电阻，(b) 关断栅电阻

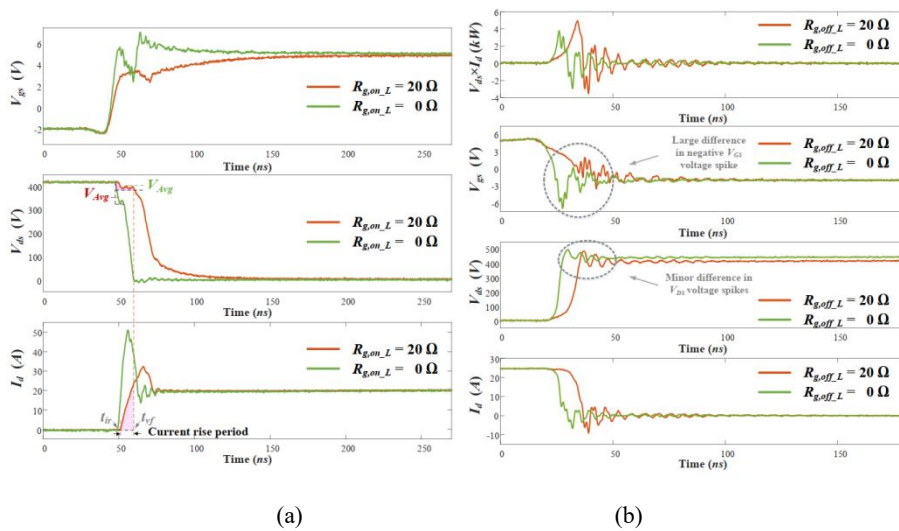


图14 图不同栅电阻下开关瞬态波形：(a) 开通，(b) 关断

1.3.4 频率与占空比

频率与占空比，反映为器件的开通与关断时间。当器件处于稳态关断或者开关瞬态，器件均处于一个应力累积的阶段，导致了动态电阻的增加；而当器件处于稳态导通的过程下，器件的应力得到释放，缺陷逐渐得到恢复，被俘获的电子得到释放，动态电阻逐渐降低。因此，当器件存在着开通时间过短，关断时间过长的情况下，缺陷无法及时得到恢复，因此导致了应力的不停累积，最终达到一个动态平衡的过程。频率的增加，一定程度上导致开通时间的减短，造成动态电阻的增加。但同时也会导致关断时间的减短，削弱的漏极高电场效应又降低了动态电阻。因此，动态电阻与频率并非呈单调关系。相比之下，在相同的频率下，增加占空比，即增加了导通时间，减小了关断时间，有利于降低动态电阻。

1.3.5 栅极电压

在漏极高电场的条件下，栅极电子注入过程中被表面施主类陷阱束缚，形成虚栅结构，导致了阈值电压增大的效应，从而带来动态电阻的增加。因此，在实际应用中一般推荐使用 5~6V 的驱动电压，保证驱动电压远大于阈值电压，从而抵消到动态阈值电压的增幅^[20]。目前，该效应已经在实际应用中得到较好的解决。

1.3.6 温度

温度对于动态电阻的影响机理较为复杂，由于缺陷的产生以及恢复，都会受到温度的影响，因此目前温度对于动态电阻的影响并非呈现单调关系。探究器件在不同温度下，开关切换前后动态电阻的退化现象是具有现实意义的，我们根据器件开关切换前的应力条件大体可以分为关态应力（off-state stress）和开态应力（on-state stress 或 high power stress）。历经关态应力后的硬开关切换（hard switching）后，对于传统 HEMT 器件，动态电阻退化和温度的关系表现为动态电阻的退化随着温度的升高而加剧，并且动态电阻退化和关态应力电压并非呈现单调关系^{[21][22]}。如图 15 和图 16 所示，可以发现随着温度的升高，动态电阻退化的峰值出现在相对更小的关态应力电压下。这是由于高温加剧了缓冲层中缺陷的捕获所导致的。然而在更高的关态应力电压下，动态电阻的退化随着关态应力电压的升高而缓和，这是由于缓冲层中的正电荷积累从而抑制了动态电阻退化而导致的。而历经关态应力后的软开关切换（soft switching）后，对比动态电阻在软/硬开关状态下的退化，发现在相同的关态应力电压水平，动态电阻在硬开关下的退化更显著。这是由于硬开关切换过程中的热电子效应导致的^[22]。

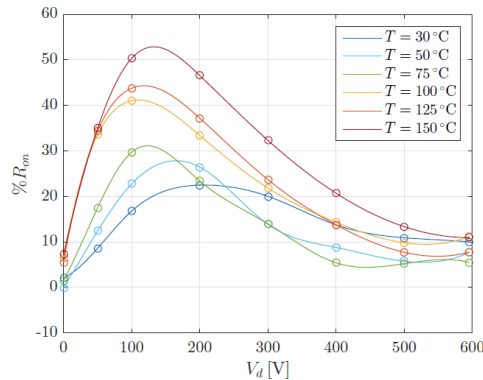


图15 不同温度下动态电阻随着关态应力电压升高而退化现象示意图^[21]

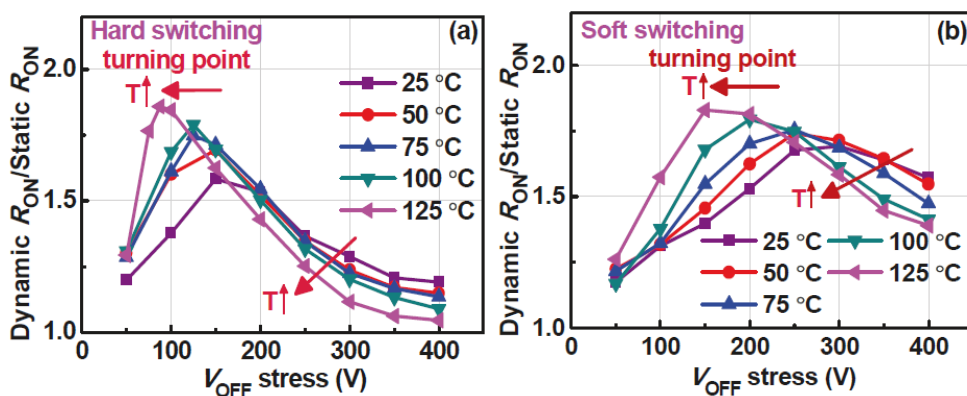


图16 软/硬开关切换中，不同温度下动态电阻随着关态应力电压升高而退化示意图^[22]

研究陷阱的激活能 E_a (activation energy) 和俘获截面 σ (capture cross-section) 可以定量的描述缺陷所处的能级位置和空间分布。可以用器件历经关态应力时以及应力后的动态电阻增加和恢复来计算陷阱的激活能和俘获截面^{[23]-[27]}。如图 17 所示，在 $10^{-1} \text{ s} \sim 10^3 \text{ s}$ 的关态应力时间中，动态电阻随着应力时间的延长而增加，且动态电阻的退化随着温度的升高而加剧。如图 18 所示，在历经关态状态后的 10^{-5}

$\sim 10^2$ s 的瞬时开态时间中可以观察到动态电阻的退化随时间延长而恢复，且随温度的升高而恢复加快。利用动态电阻退化随温度变化的明显差异可以在阿伦尼乌斯图像提取出引起电子俘获的陷阱的激活能。但因为氮化镓器件的个体差异如衬底材料、缓冲层掺杂类型以及器件结构和工艺水平的不同，其激活能 E_a 有所差别在 $0.53 \sim 1.12$ eV 之间，俘获截面 σ 在 $4 \times 10^{-14} \text{ cm}^2 \sim 2.1 \times 10^{-16} \text{ cm}^2$ 之间。

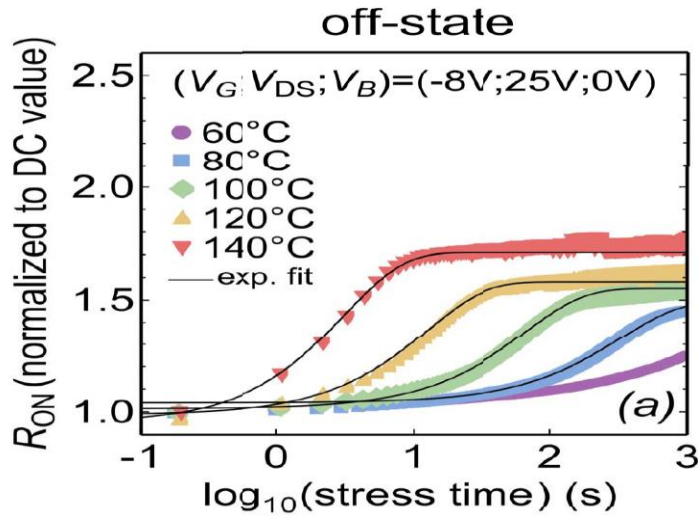


图17 不同温度下在 10^{-1} s $\sim 10^3$ s 的关态应力时间内动态电阻的退化图^[23]

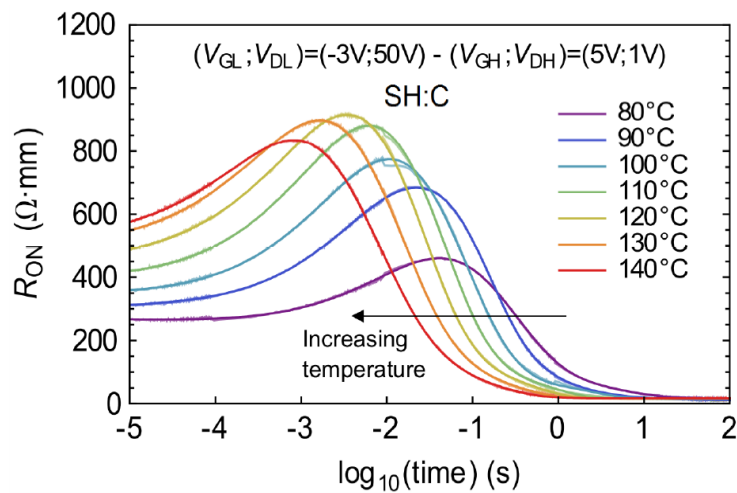


图18 在 $10^{-5} \sim 10^2$ s 的关态应力时间后动态电阻的恢复^[24]

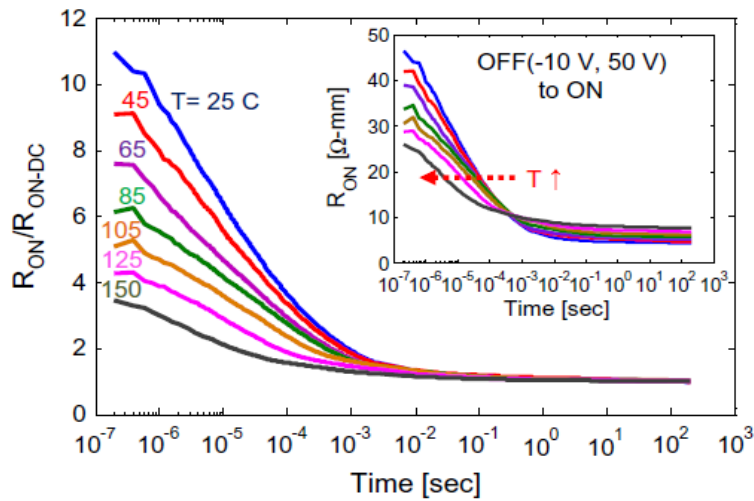


图19 不同温度下，开态应力后动态电阻退化随时间的恢复^[25]

开态应力下的动态电阻退化因为涉及到热电子效应往往更加复杂。如图 19 所示为动态电阻在开态应力后的恢复情况。可以看到，器件在历经开态应力后，动态电阻退化随着温度的升高而缓和，这不仅是由于高温下的电子俘获更加困难还和高温加速电子释放(de-trapping)有关，因此对应的时间常数(time constants)在高温下就越短^{[26][27]}，用阿伦尼乌斯图像求得的激活能就越小在 0.23 eV~0.45 eV 之间。

1.3.7 衬底偏置对动态电阻的影响

目前商用 GaN 功率器件对应的封装形式通常有两种方式，一种是衬底接地封装；另一种是在陶瓷基板上进行绝缘衬底封装，即衬底浮空。两种封装各有自己的优点，对于衬底接地的封装，当器件被偏置在关态高漏压应力下，漏极与衬底之间存在着近似等于漏极电压的垂直压差，而源极一侧由于源极和衬底均接地，不存在压差，此时垂直方向的漏电流从衬底流向漏极。对于衬底浮空的封装方式，当器件在关态且漏极被施加较高的偏压时，为了释放漏电流，电子可能会从体内进行漏电，除了在体 GaN 内横向传导外，还会借助导电 Si 衬底先垂直从源到衬底再从衬底到漏极进行漏电^{[28][29]}。

对于衬底浮空的封装方式，器件在关态且漏极被施加较高的偏压时，漏电的释放会使得衬底感生出一个介于源极和漏极之间的正电势。对于靠近源极一侧，衬底电势高于该侧沟道电势，垂直漏电向下流入衬底；对于靠近漏极一侧，衬底电势低于该侧沟道电势，垂直漏电向上由衬底流入漏极。对于衬底接地的封装方式，垂直漏电基本等于漏极漏电流，此时器件体内的关态漏电流中垂直方向的漏电占主导。器件表面的击穿与垂直方向的击穿相对独立，关态下器件内不同的漏电来源会改变器件的击穿电压，对于以表面漏电为主的器件，表面的耐压水平将决定器件的耐压；而对于以垂直方向漏电为主的器件，垂直漏电升高后其表面的低漏电水平使得器件甚至能够达到更高耐压。不同的衬底偏置状态，极大影响了器件漏电水平和漏电途径分布，伴随着漏电途径，电子将不同程度地被陷阱/缺陷俘获，在高压应力撤销时，被俘获的电子无法及时被释放/发射，附加的电荷诱导电场影响了沟道电子分布，从而显著影响器件的动态电阻^[30]。

2 动态电阻测试电路

2.1 测试电路拓扑

2.1.1 硬开关测试电路

在测试功率器件动态特性时,一般采用双脉冲测试电路,如图 20 所示为典型的双脉冲测试原理图。该电路采用电感作为负载,电感两端并联续流二极管。在待测器件(DUT)栅极施加控制信号, DUT 工作时为硬开关状态。在关断状态下, DUT 的漏源电压(V_{ds_off})为母线电压 V_{bus} (负载回路有续流时为 $V_{bus}+V_{F(Diode)}$),在导通状态下, DUT 的漏源电压(V_{ds_on})为导通压降,此值除以 DUT 漏源导通电流(I_{ds})即为器件的导通电阻($R_{on}=V_{ds_on}/I_{ds}$)。然而, V_{ds_off} 可能高达 400V 以上,而 V_{ds_on} 一般小于 10V。在使用示波器探测 DUT 的 V_{ds_off} 和 V_{ds_on} 时,示波器读数波动范围较大。一般示波器为 8 位采样,此时垂直分辨率为 $400V/2^8 \approx 1.56V$,而 V_{ds_on} 一般小于 2V,显然难以满足测试精度的要求。因此需要在 DUT 两端添加钳位电路来限制示波器的电压显示范围,提高示波器的垂直分辨率,典型的钳位电路如图 21 所示^[31]。计算动态电阻时,使用钳位电路测得的开启电压除以器件电流,即可得到精确值。如图 21 中,器件开启电压为 M 点的电位减去二极管 D1 两端的电压降。

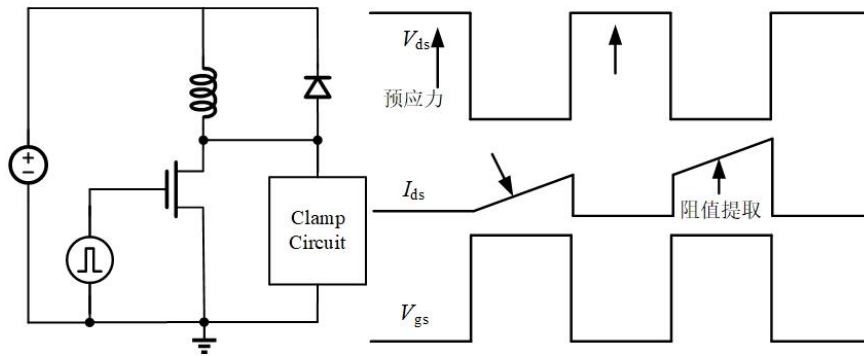


图20 基于双脉冲的动态电阻测试的传统双脉冲测试电路及理想波形

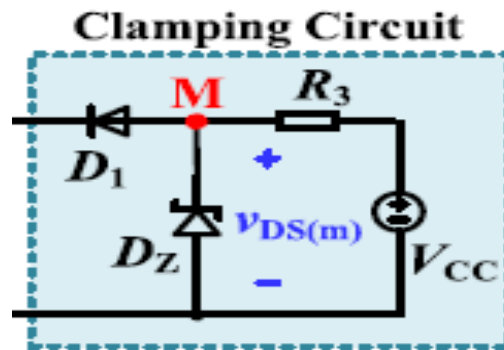


图21 基于双脉冲的动态电阻测试的典型钳位电路

双脉冲测试时,第一个脉冲之前 DUT 两端不可避免地会存在预先加上的 V_{bus} ,此时会对 DUT 造成预应力。为减少预应力的影响,需要在第一个脉冲开启时施加一定大小的电流,并持续一定的时间,使得被陷阱捕获的电子得到释放。正式应力时间为双脉冲中间的间隔时间,动态电阻值为第二个脉冲期间

测得。在传统双脉冲测试电路中, 预应力的影响是否彻底消除很难界定, 因此需要改变传统双脉冲拓扑, 消除预应力的影响。

图 22 (a) 给出了一种改进的双脉冲测试电路^[32]。在双脉冲测试电路的基础上, 通过 T1, T2 组成的半桥电路控制双脉冲工作状态。其中电阻 R 约为 100 Ω , 用来限制 T1 开启后, T2 两端电容充电过程中的电流过冲。T1 关断, T2 开启状态时, DUT 为关断状态且两端不承受电压应力。T1 开启, T2 关断时, DUT 应力、开关过程和传统典型双脉冲测试方法相同。预应力持续时间为 t_1 到 t_2 。基于 T1, T2 组成的半桥电路, 实现了双脉冲应力时间的可控目的。该电路的控制策略如图 22 (b) 所示。

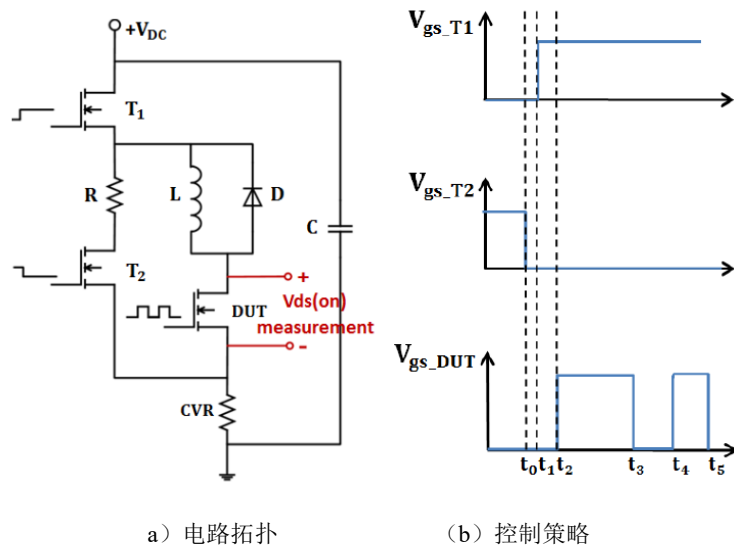


图22 一种改进的双脉冲测试动态电阻电路

图 23 (a) 给出的双脉冲测试电路与图 22 所给出的类似, 在双脉冲的基础上, 通过 Q1, Q2 组成的半桥电路控制 DUT 所承受电压应力的时间^[33]。该电路的控制策略如图 23 (b) 所示, 与图 22 所给出的电路不同的是, 其中 t_0 到 t_1 期间为器件承受预应力的总时长, 且由于 Q1、Q2 分压, 预应力的幅值为母线电压的一半。

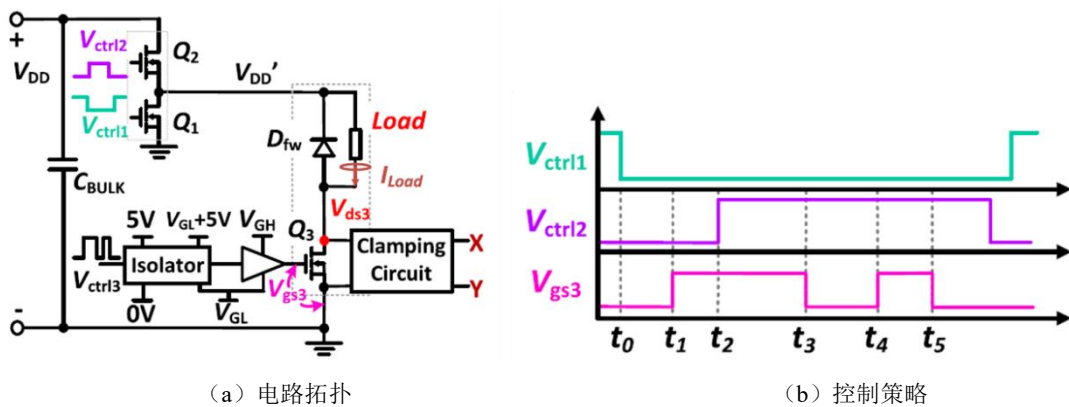


图23 一种改进的双脉冲测试动态电阻电路

图 24 给出了另一种改进的阻感性负载双脉冲测试电路^[34]。其中 Q1、Q2 与 DUT 构成的控制预应力力

持续时间的结构，由前文已进行说明，此处不再赘述。该电路的改进部分有在 peak-current-mode (PCM) 控制模式下的 Q_4 开关，在开始测试之前，精确控制流过电感的电流大小同时又避免了 DUT 发热；以及 Q_3 开关管，精确控制测试脉冲持续的时长，只有 Q_3 开通时，电感电流才流过 DUT， Q_3 关断后，对 DUT 的测试即结束。 Q_1 - Q_4 各阶段的工作状态分别如图 25(a)-(d)所示。测试动态电阻的信号控制策略如图 26 所示。通过该电路拓扑可以有效避免预应力时间，精确控制电压应力时间。值得注意的是，图 24 中的 R_{damp} 可以在续流时消耗部分电流，从而辅助控制流过 DUT 电流的大小，实现连续脉冲的工作条件。

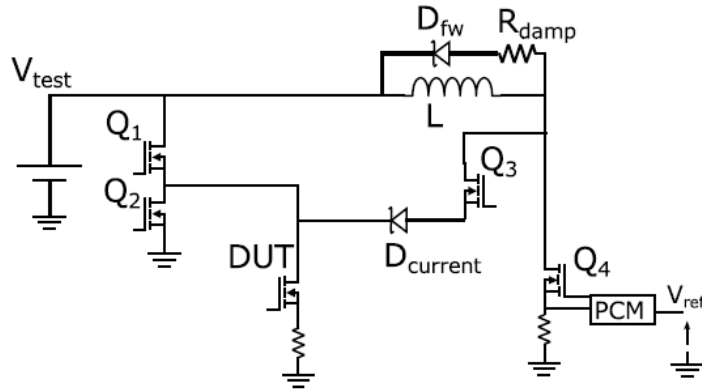


图24 改进的阻感性负载双脉冲测试电路

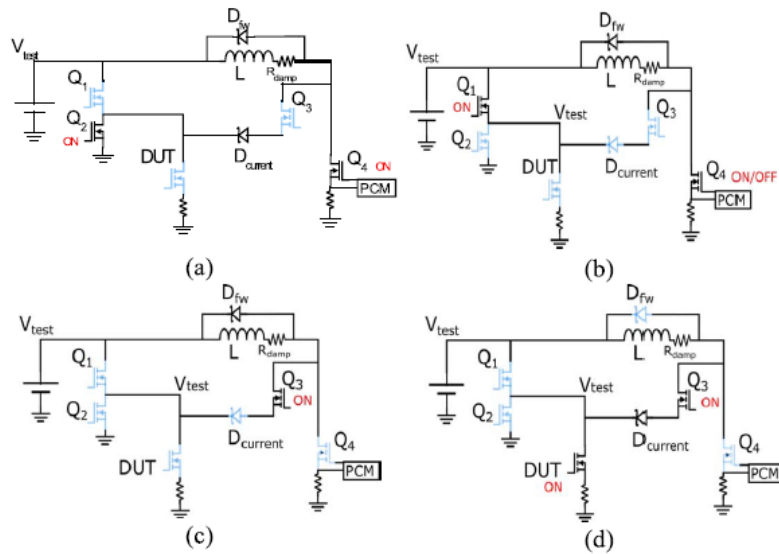


图25 改进的阻感性负载双脉冲测试电路工作状态及控制信号

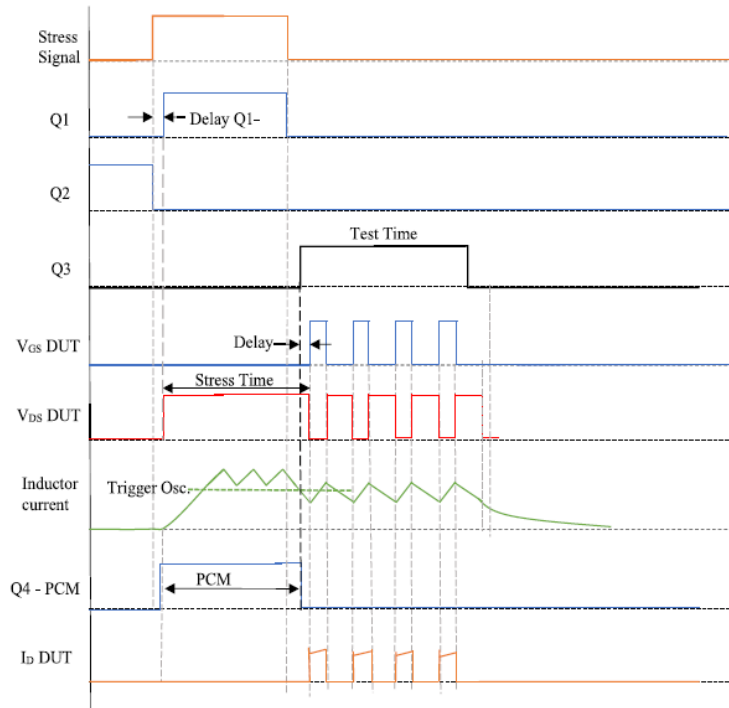


图26 改进的阻感性负载双脉冲测试电路控制信号及波形

图 27 给出一种阻性负载的应力状态可控电路^[35]。其中，负载电阻串联在半桥电路中的高侧和低侧功率管之间。两个功率二极管提供耐压保护。在加上应力之前，保持 DUT 开启，可以对待测器件的静态导通电阻进行测试，具体方法如图 28 (a) 所示：当上管 T_1 关断时， T_1 承受高压，DUT 上压降为零。当上管 T_1 开启时，即可测得 DUT 在不承受应力情况下的初始电阻值。如图 28 (b) 所示，应力到来以前，DUT 先开通；在 t_1 到 t_2 时间内，上下管同时关闭，DUT 承受电压由上下功率管、功率二极管的漏电分布决定。当上管开启时，DUT 进入正常阻性负载开关测试状态。可以看出，该电路可以控制预应力持续的时间，但不能控制预应力的的大小。此电路配置较为建议，控制策略简单。

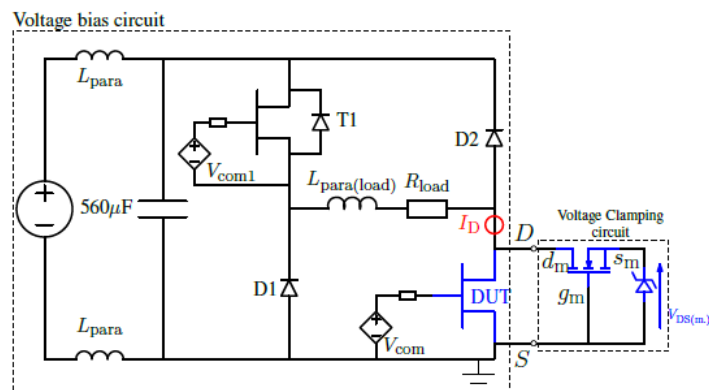


图27 改进的阻性负载动态电阻测试电路

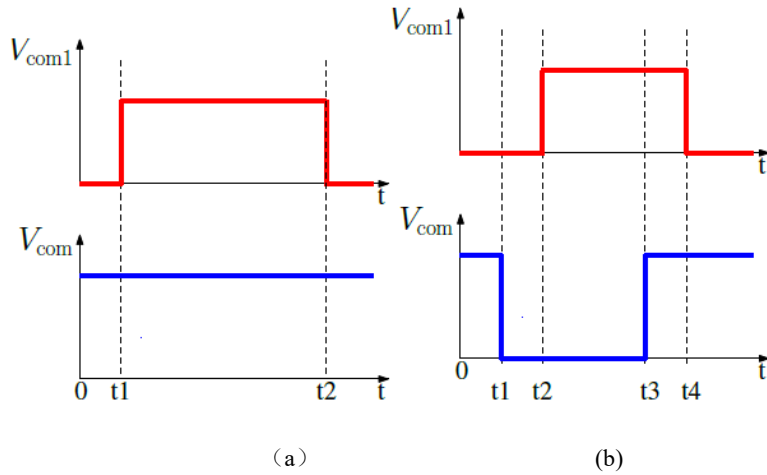


图28 改进的阻性负载动态电阻测试电路控制信号

2.1.2 软开关测试电路

硬开关的动态电阻测试是基于动态参数测试的传统双脉冲测试电路，而在实际应用中，大部分 GaN 功率器件工作在软开关状态，因此也需要对软开关情况下的动态电阻进行测试表征。图 29 (a) 为兼容软硬开关的动态电阻测试电路拓扑^[31]。开关掷于 2 时为硬开关工作状态， S_1 起到续流二极管的作用。开关掷于 3 电路为软开关工作状态，当 S_1 和 S_2 同时关断时， S_1 承受高压，随后 S_2 开启时其两端的电压几乎为零，从而实现了零压开启。当 S_1 开启， S_2 关断时， S_2 为受应力状态。工作波形如图 29 (b) 所示。

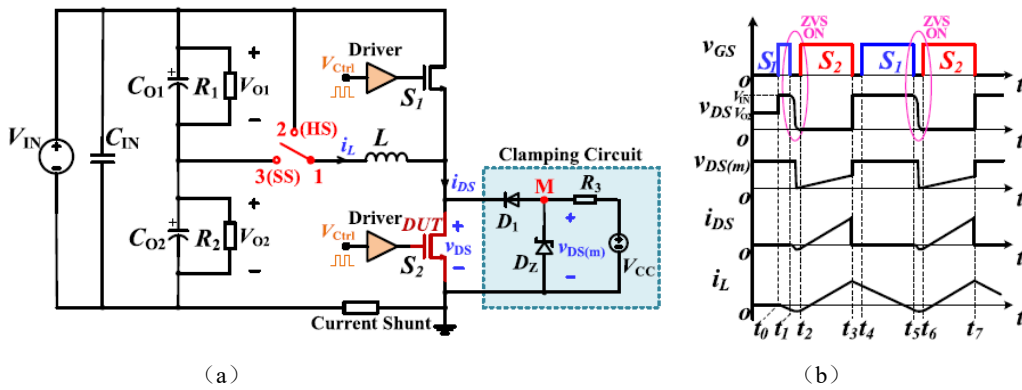


图29 兼容软硬开关的动态电阻测试电路拓扑

除了上述实现软开关的方式，开可以利用谐振的方式实现软快关^[36]，如图 30 所示，电感、电容、电阻元件形成延迟效果，实现 DUT 零压开启。应用此电路时，电感、电容、电阻元件需要进行匹配设计才能实现零压开启，DUT 漏压会出现过冲，应力电压大小呈动态变化，应力时间不可随意调节，典型波形如图 31 所示。

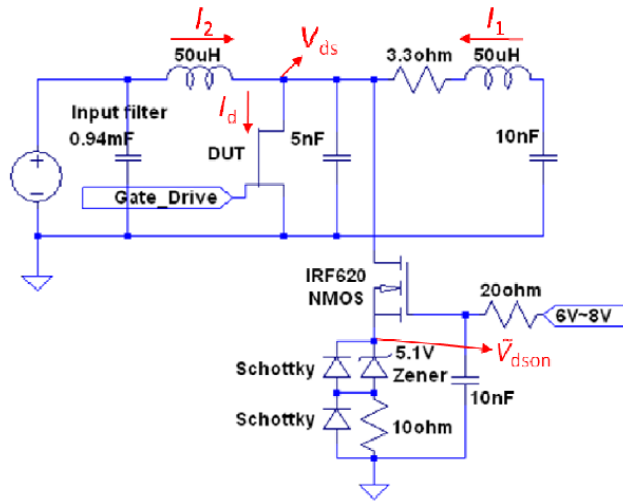


图30 基于谐振的软开关测试电路

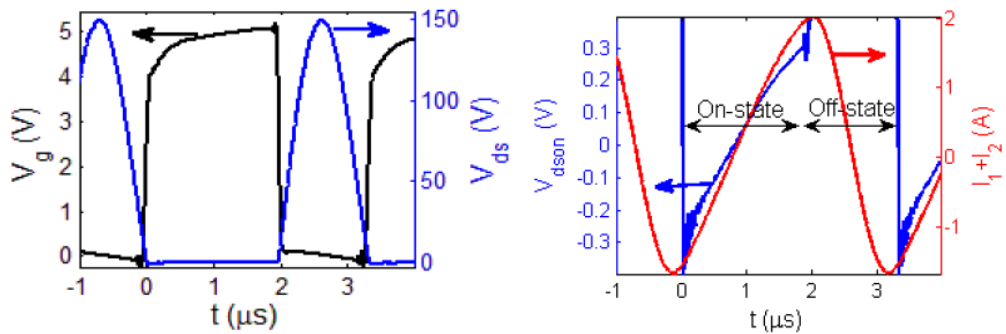


图31 基于谐振的软开关测试波形

2.2 钳位电路

无论是硬开关还是软开关，动态电阻的测试都离不开钳位电路，可见钳位电路至关重要。钳位电路应当具有高耐压、低震荡、高时间精度、高电压精度的特性。图 32 给出了目前文献中报道的钳位电路类型^{[37]-[40]}，(a)中电路电阻引起的延迟严重，(b)、(c)、(d)、(e)中的钳位电路都可以实现较好的结果，然而依然各有优缺点。(b)、(c)中的耐高压特性靠 MOSFET 实现，开关过程中会引入较大的震荡，(d)中的存储电荷的电容容值需要较大，电容耐压亦有要求，电容充放电有一定的延时。(e)中的钳位电压测量需要差分探头，且电流镜电路的设计较为复杂，所需元器件较多。(f)中左侧为基本的钳位电路，右侧的滤波电路进一步减少震荡，提高钳位电路的测试精度。

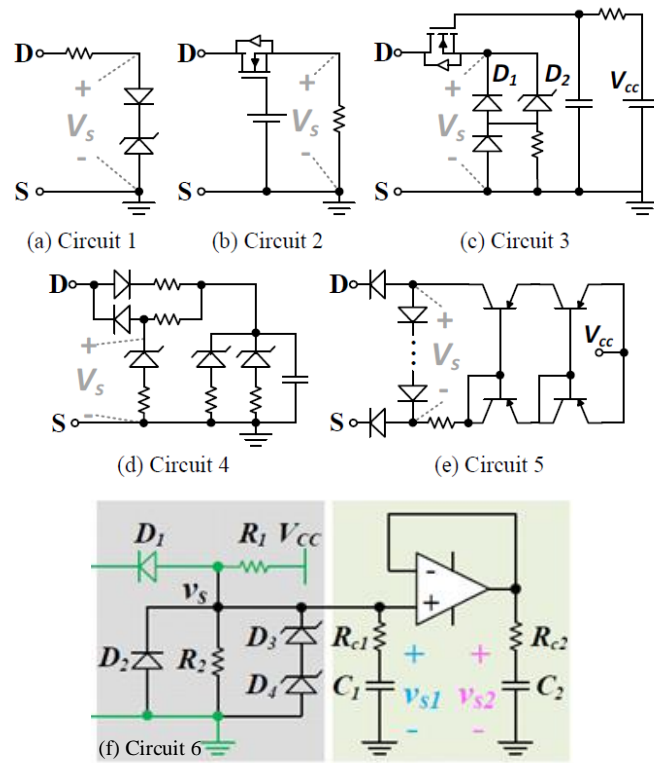


图32 各类钳位电路

3 结束语

本报告针对分立 GaN HEMT 功率器件的动态电阻问题从器件结构、产生机理、影响因素等方面分别进行了简要的介绍与分析，并根据实际应用给出了现有的一些动态电阻测试电路，旨在为产业界的同仁提供对动态电阻的概念认知和技术参考。GaN HEMT 动态电阻的影响因素繁多，不同厂家的器件结构和技术路线也不尽相同，在动态电阻的表现上各有差异。因此，在 GaN HEMT 的测试过程中应尽可能地与实际应用相结合，以体现器件在真实应用过程中表现出来的特性。本技术报告尽可能详细地将这些因素列举出来以供参考，也希望能在在此基础上进一步完善，发掘出更多更详尽的工作。

参 考 文 献

- [1] https://www.infineon.com/dgdl/Infineon-ApplicationNote_CoolGaN_600V_emode_HEMTs-AN-v01_00-EN.pdf?fileId=5546d46262b31d2e016368e4cab10701
- [2] https://gansystems.com/wp-content/uploads/2022/03/GN001_An-Introduction-to-GaN-E-HEMTs_220308.pdf
- [3] Ke LI, Paul Leonard Evans, Christopher Mark Johnson, "Characterisation and Modelling of Gallium Nitride Power Semiconductor Devices Dynamic On-state Resistance" IEEE Transactions on Power Electronics, VOL. 33, NO. 6, JUNE 2018.
- [4] <https://www.transphormusa.com/en/document/characteristics-transphorm-gan-power-fets/>
- [5] S. Stoffels, M. Zhao, R. Venegas, P. Kandaswamy, S. You, T. Novak, Y. Saripalli, M. Van Hove, and S. Decoutere, The physical mechanism of dispersion caused by AlGaIn/GaN buffers on Si and optimization for low dispersion, in IEDM, 2015, pp.35.4.1.
- [6] Chunhua Zhou, Qimeng Jiang, Sen Huang, and Kevin J. Chen, Vertical Leakage/Breakdown Mechanisms in AlGaIn/GaN-on-Si Devices, in IEEE Electron Device Letters, vol.33, no. 8, pp. 1132-1134, August 2012.
- [7] Xiangdong Li, Marleen Van Hove, Ming Zhao, Karen Geens, Weiming Guo, Shuzhen You, Steve Stoffels, Vesa-Pekka Lempinen, Jaakko Sormunen, Guido Groeseneken, and Stefaan Decoutere, Suppression of the Backgating Effect of Enhancement-Mode p-GaN HEMTs on 200-mm GaN-on-SOI for Monolithic Integration, in IEEE Electron Device Letters, vol.39, no. 7, pp. 999-1002, July 2018.
- [8] P. Moens, M. J. Uren, A. Banerjee, M. Meneghini, B. Padmanabhan, W. Jeon, S. Karboyan, M. Kuball, G. Meneghesso, E. Zanoni and M. Tack, Negative Dynamic Ron in AlGaIn/GaN Power Devices, in 29th ISPSD, 2017.
- [9] Binari S C, Klein P B, Kazior T E, "Trapping effects in GaN and SiC microwave FETs[J]," Proceedings of the IEEE, 2002, 90(6):1048-1058.
- [10] Ramakrishna Vetury, Naiqain Q. Zhang, Stacia Keller, and Umesh K. Mishra, "The Impact of Surface States on the DC and RF Characteristics of AlGaIn/GaN HFETs," IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 48, NO. 3, MARCH 2001.

- [11] N. Modolo, C. D. Santi, A. Minetto, L. Sayadi, S. Sicre, G. Prechtl, G. Meneghesso, E. Zanoni and M. Meneghini, "A Physics-Based Approach to Model Hot-Electron Trapping Kinetics in p-GaN HEMTs," in *IEEE Electron Device Letters*, vol.42, no. 5, pp. 673-676, May 2021.
- [12] J.W. McPherson, "Brief History of JEDEC Qualification Standards for Silicon Technology and Their Applicability (?) to WBG Semiconductors," *IEEE International Reliability Physics Symposium (IRPS)* 2018.
- [13] Bao Q, Huang S, Wang X, et al. "Effect of interface and bulk traps on the C–V characterization of a LPCVD-SiNx/AlGaIn/GaN metal-insulator-semiconductor structure[J]," *Semiconductor Science and Technology*, 2016, 31(6): 065014.
- [14] Hui Sun, Maojun Wang, et al. "Investigation of the Trap States and V TH Instability in LPCVD Si3N4/AlGaIn/GaN MIS-HEMTs with an In-Situ Si3N4 Interfacial Layer," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 66, NO. 8, AUGUST 2019.
- [15] Yang S, Tang Z, Wong K Y, et al. "Mapping of interface traps in high-performance Al2O3/AlGaIn/GaN MIS-heterostructures using frequency-and temperature-dependent CV techniques, "2013 *IEEE International Electron Devices Meeting. IEEE*, 2013: 6.3.1-6.3.4.
- [16] Deen D, Storm D, Meyer D, et al. "AlN/GaN HEMTs with high - κ ALD HfO2 or Ta2O5 gate insulation[J]," *physica status solidi c*, 2011, 8(7 - 8): 2420-2423.
- [17] Kai-Yuan Cheng, etc. "Comparative study on performance of AlGaIn/GaN MS-HEMTs with SiNx, SiOx, and SiNO surface passivation," *Solid State Electronics* 170(2020) 170824.
- [18] "Test Method for Continuous-Switching Evaluation of Gallium Nitride Power Conversion Devices", Version 1.0, JEP182.
- [19] Yang Fei, Chi Xu, and Bilal Akin. "Experimental evaluation and analysis of switching transient's effect on dynamic on-resistance in GaN HEMTs." *IEEE Transactions on Power Electronics* 34.10 (2019): 10121-10135.
- [20] Wang, Hanxing, et al. "Maximizing the performance of 650-V p-GaN gate HEMTs: Dynamic RON characterization and circuit design considerations." *IEEE Transactions on Power Electronics* 32.7 (2016): 5539-5549.
- [21] A. Stockman, M. Uren, A. Tajalli, M. Meneghini, B. Bakeroot and P. Moens, "Temperature dependent substrate trapping in AlGaIn/GaN power devices and the impact on dynamic ron," 2017 47th European

- Solid-State Device Research Conference (ESSDERC), 2017, pp. 130-133, doi: 10.1109/ESSDERC.2017.8066609.
- [22] S. Li, S. Yang, S. Han and K. Sheng, "Investigation of Temperature-Dependent Dynamic RON of GaN HEMT with Hybrid-Drain under Hard and Soft Switching," 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2020, pp. 306-309, doi: 10.1109/ISPSD46842.2020.9170048.
- [23] D. Bisi et al., "Kinetics of Buffer-Related RON-Increase in GaN-on-Silicon MIS-HEMTs," in IEEE Electron Device Letters, vol. 35, no. 10, pp. 1004-1006, Oct. 2014, doi: 10.1109/LED.2014.2344439.
- [24] Meneghesso, G.; Meneghini, M.; Bisi, D.; Silvestri, R.; Zanandrea, A.; Hilt, O.; Bahat-Treidel, E.; Brunner, F.; Knauer, A.; Wuerfl, J.; Zanoni, E. (2013). GaN-Based Power HEMTs: Parasitic, Reliability and High Field Issues. ECS Transactions, 58(4), 187–198. doi:10.1149/05804.0187ecst.
- [25] D. Jin and J. A. del Alamo, "Methodology for the Study of Dynamic ON-Resistance in High-Voltage GaN Field-Effect Transistors," in IEEE Transactions on Electron Devices, vol. 60, no. 10, pp. 3190-3196, Oct. 2013, doi: 10.1109/TED.2013.2274477.
- [26] Donghyun Jin, Jesús A. del Alamo, "Impact of high-power stress on dynamic ON-resistance of high-voltage GaN HEMTs", Microelectronics Reliability, Volume 52, Issue 12, 2012, Pages 2875-2879, ISSN 0026 2714, <https://doi.org/10.1016/j.microrel.2012.08.023>.
- [27] Jin, Donghyun; del Alamo, Jesus A. (2012). [IEEE 2012 24th International Symposium on Power Semiconductor Devices & IC's (ISPSD) - Bruges, Belgium (2012.06.3-2012.06.7)] 2012 24th International Symposium on Power Semiconductor Devices and ICs - Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs, 333–336. doi:10.1109/ISPSD.2012.6229089.
- [28] F. Li, R. Wang, H. Huang, et al., Temperature Dependent Hot Electron Effects and Degradation Mechanisms in 650-V GaN-based MIS-HEMT Power Devices under Hard Switching Operations, IEEE J. Emerg. Sel. Topics Power Electron., vol. 9, pp. 6424-6431, 2021.
- [29] F. Li, R. Wang, H. Huang, et al., Effects of substrate termination on Ron increase under stress in 650 V GaN power devices, J. Phys. D: Appl. Phys. 54, 265106, 2021.
- [30] 李飞雨, 650V 硅基 GaN 电力电子器件的可靠性研究[D], 大连理工大学, 2020.
- [31] R. Li, X. Wu, S. Yang and K. Sheng, "Dynamic on-State Resistance Test and Evaluation of GaN Power Devices Under Hard- and Soft-Switching Conditions by Double and Multiple Pulses," in IEEE Transactions on Power Electronics, vol. 34, no. 2, pp. 1044-1053, Feb. 2019, doi: 10.1109/TPEL.2018.2844302.

- [32] Y. Cai, A. J. Forsyth and R. Todd, "Impact of GaN HEMT dynamic on-state resistance on converter performance," 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), 2017, pp. 1689-1694, doi: 10.1109/APEC.2017.7930926.
- [33] K. Zhong et al., "IG - and VGS -Dependent Dynamic RON Characterization of Commercial High-Voltage p-GaN Gate Power HEMTs," IEEE Trans. Ind. Electron., vol. 69, no. 8, pp. 8387–8395, Aug. 2022, doi: 10.1109/TIE.2021.3104592.
- [34] P. J. Martínez, P. F. Miaja, E. Maset and J. Rodríguez, "A Test Circuit for GaN HEMTs Dynamic R_{ON} Characterization in Power Electronics Applications," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 7, no. 3, pp. 1456-1464, Sept. 2019, doi: 10.1109/JESTPE.2019.2912130.
- [35] K. Li, P. L. Evans and C. M. Johnson, "Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance," in IEEE Transactions on Power Electronics, vol. 33, no. 6, pp. 5262-5273, June 2018, doi: 10.1109/TPEL.2017.2730260.
- [36] B. Lu, T. Palacios, D. Risbud, S. Bahl and D. I. Anderson, "Extraction of Dynamic On-Resistance in GaN Transistors: Under Soft- and Hard-Switching Conditions," 2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011, pp. 1-4, doi: 10.1109/CSICS.2011.6062461.
- [37] Y. Nozaki, H. Kawamura, J. K. Twynam, and M. Hasegawa, "Voltage clamp circuit and semiconductor device, overcurrent protection circuit, voltage measurement probe, voltage measurement device and semiconductor evaluation device respectively using the same." Google Patents, 2008.
- [38] R. Gelagaev, P. Jacqmaer, and J. Driesen, "A Fast Voltage Clamp Circuit for the Accurate Measurement of the Dynamic ON-Resistance of Power Transistors," IEEE Trans. Ind. Electron., vol. 62, no. 2, pp. 1241–1250, 2015.
- [39] N. Badawi and S. Dieckerhoff, "A new Method for Dynamic Ron Extraction of GaN Power HEMTs," in Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, 2015, pp. 1–6.
- [40] F. Yang, C. Xu, E. Ugur, S. Pu and B. Akin, "Design of a Fast Dynamic On-Resistance Measurement Circuit for GaN Power HEMTs," 2018 IEEE Transportation Electrification Conference and Expo (ITEC), 2018, pp. 359-365, doi: 10.1109/ITEC.2018.8450093.

